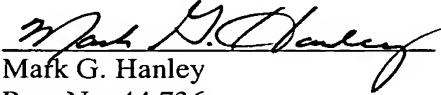




PATENT
Docket No. 20061/OF03P198

IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE

Applicant(s): Han et al.)	I hereby certify that the documents
Serial No.: 10/743,483)	referred to as enclosed herewith are
Filed: December 22, 2003)	being deposited with the United States
For: "Method of Manufacturing an)	Postal Service, first class postage
EEPROM Device")	prepaid, in an envelope addressed to
Group Art Unit: Unknown)	the Commissioner for Patents, P.O.
Examiner: Unknown)	Box 1450, Alexandria, Virginia
)	22313-1450 on this date:
)	
)	February 13, 2004
)	
)	
)	Mark G. Hanley
)	Reg. No. 44,736

TRANSMITTAL OF PRIORITY DOCUMENT

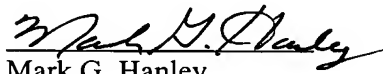
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

Sir:

Enclosed herewith is a certified copy of Korean Patent Application Serial No.
10-2002-0086916 filed December 30, 2002, the priority of which is claimed under 35
U.S.C. § 119.

Respectfully submitted,

GROSSMAN & FLIGHT, LLC.
Suite 4220
20 North Wacker Drive
Chicago, Illinois 60606
(312) 580-1020

By: 
Mark G. Hanley
Registration No.: 44,736

February 13, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0086916
Application Number

출원년월일 : 2002년 12월 30일
Date of Application DEC 30, 2002

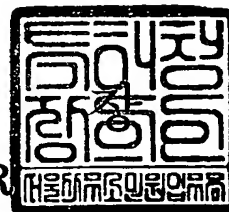
출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2003 년 10 월 04 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0011
【제출일자】	2002.12.30
【발명의 명칭】	이이피롬 소자 제조방법
【발명의 영문명칭】	Fabricating method of electrically erasable and programmable read only memory device
【출원인】	
【명칭】	동부전자 주식회사
【출원인코드】	1-1998-106725-7
【대리인】	
【성명】	김영철
【대리인코드】	9-1998-000040-3
【포괄위임등록번호】	2001-037703-7
【대리인】	
【성명】	김순영
【대리인코드】	9-1998-000131-1
【포괄위임등록번호】	2001-037700-5
【대리인】	
【성명】	이준서
【대리인코드】	9-1998-000463-0
【포괄위임등록번호】	2001-037697-8
【발명자】	
【성명의 국문표기】	한창훈
【성명의 영문표기】	HAN, Chang Hun
【주민등록번호】	700614-1480918
【우편번호】	467-731
【주소】	경기도 이천시 창전동 49-1 현대1차아파트 101-605호
【국적】	KR
【발명자】	
【성명의 국문표기】	김동욱
【성명의 영문표기】	KIM, Dong Oog



1020020086916

출력 일자: 2003/10/13

【주민등록번호】 740612-1051211
【우편번호】 140-834
【주소】 서울특별시 용산구 용산동2가 5-1473호 11/4
【국적】 KR
【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
김영철 (인) 대리인
김순영 (인) 대리인
이준서 (인)
【수수료】
【기본출원료】 19 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 29,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 기판 상에 불순물이 도핑된 영역과 불순물이 도핑되지 않은 영역에 있어서 게이트 절연막의 성장 속도의 차이가 발생하지 않는 이이피롬 소자 제조방법에 관한 것으로서,

본 발명에 따른 이이피롬 소자 제조방법은 반도체 기판 상에 스크린 산화막을 형성하는 단계;와, 상기 스크린 산화막 상에 제 1 이온 주입 마스크를 형성하는 단계;와, 상기 기판 전면에서 제 1 이온 주입을 하는 단계;와, 상기 기판에 대해서 제 1 열처리 공정을 수행하는 단계;와, 상기 제 1 이온 주입 마스크 및 스크린 산화막을 제거하는 단계;와, 상기 기판 상에 게이트 산화막을 형성하는 단계;와, 상기 게이트 산화막 상에 제 2 이온 주입 마스크를 형성하는 단계;와, 상기 기판 전면에서 제 2 이온 주입을 하는 단계;와, 상기 기판에 대해서 제 2 열처리 공정을 수행하는 단계;와, 상기 제 2 이온 주입 마스크를 제거하는 단계;와, 상기 게이트 산화막을 포함한 기판 전면 상에 터널 산화막을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.

【대표도】

도 3

【색인어】

이이피롬, 비휘발성, 게이트 산화막, 터널 산화막

【명세서】**【발명의 명칭】**

이이피롬 소자 제조방법 {Fabricating method of electrically erasable and programmable read only memory device}

【도면의 간단한 설명】

도 1은 종래의 일반적인 EEPROM 소자의 레이 아웃도.

도 2는 제 2 이온 주입 후 열처리를 하지 않고 터널 산화막을 성장시켰을 때의 불순물 이온 주입 영역과 기타 영역에서의 터널 산화막 성장 속도 차이를 나타낸 그래프.

도 3은 제 2 이온 주입 후 열처리를 수행한 후 터널 산화막을 성장시켰을 때의 불순물 이온 주입 영역과 기타 영역에서의 터널 산화막 성장 속도 차이를 나타낸 그래프.

<도면의 주요 부분에 대한 설명>

100 : 반도체 기판

101 : 불순물 이온 영역

102 : 플로팅 게이트

103 : 콘트롤 게이트

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <7> 본 발명은 이이피롬 소자 제조방법에 관한 것으로, 보다 상세하게는 접합 영역을 정의하는 이온 주입 즉, 31P 이온의 제 1 이온 주입과 75As 이온의 제 2 이온 주입이 독립적으로 수행한 다음, 게이트 산화막 및 터널 산화막을 각각의 이온 주입 공정 후 형성시킴으로써 게이트 산화막 및 터널 산화막의 성장에 있어서 기판 상의 불순물 이온의 주입 여부에 관계없이 동일한 속도의 산화막 성장을 담보할 수 있는 이이피롬 소자 제조방법에 관한 것이다.
- <8> 반도체 메모리 소자는 전원 공급이 중단되면 메모리 내용을 손실하는 휘발성 메모리 소자와 전원 공급이 중단되더라도 메모리 내용이 손실되지 않는 비휘발성 메모리 소자가 있다. 비휘발성 메모리 소자는 입력된 데이터를 읽기만 할 수 있는 ROM(Read Only Memory)과 입력된 데이터를 전기적 방법을 이용하여 수정할 수 있는 EEPROM(Electrically Erasable & Programmable Read Only Memory)으로 크게 분류할 수 있다. EEPROM에는 일괄적인 소거 기능을 가진 플래쉬(flash) 메모리 소자가 있다.
- <9> EEPROM의 일반적인 구조를 살펴보면, 소스/드레인 및 게이트로 이루어지고, 이 때 게이트는 게이트 절연막, 플로팅(floating) 게이트, 유전막 및 콘트롤(control) 게이트의 적층 구조로 이루어져 있다. 또한, 상기 게이트 절연막은 게이트 산화막 및 터널 산화막으로 이루어지며, 터널 산화막은 플로팅 게이트와 드레인 사이에 얇게 형성되어 있어 전자가 터널링(tunneling) 할 수 있다.

- <10> EEPROM의 동작 원리를 살펴보면, 플로팅 게이트를 전자로 충전시키서 메모리 셀을 전도 상태로 만드는 것을 프로그램 모드(program mode)라 하고, 전자로 충전된 부유게이트로부터 전자를 방전시켜 비전도 상태로 만드는 것을 소거 모드(erase mode)라 한다. 프로그램 모드는 콘트롤 게이트에 높은 양의 전압을 인가해 줌으로써 이를 수 있다. 인가된 전압에 의해 드레인의 전도대에 있는 전자가 얇은 터널 산화막을 통과하여 플로팅 게이트에 도달하고, 인가된 전압을 제거하여 플로팅 게이트에 도달된 전자들을 포획한다. 그 결과, 플로팅 게이트에 축적된 전자는 P 채널을 형성하고 낮은 문턱 전압(threshold voltage)을 발생시키게 된다. 이 때, 터널 산화막은 메모리 셀의 게이트 산화막으로 사용될 뿐만 아니라 플로팅 게이트에 축적된 전자의 전위 장벽으로도 작용하므로 플로팅 게이트의 전하 보유 특성에도 밀접한 영향을 미치게 된다.
- <11> 종래의 일반적인 EEPROM의 레이아웃을 도 1을 참조하여 살펴보면 다음과 같다. 반도체 기판인 실리콘 기판 상의 소정 부위에 소스/드레인으로 사용되는 다수의 불순물 도핑 영역이 서로 이격되어 규칙적인 형태로 배열되어 있다.
- <12> 불순물 도핑 영역(101)이 형성되지 않은 기판(100) 상부에 기판(100)에 수평 방향, 즉 채널폭 방향으로 다수개의 콘트롤 게이트(103)가 서로 이격되어 평행하게 형성되어 있다. 기판(100)에 대한 수직방향 즉, 채널 길이 방향으로 서로 격리되어 형성된 불순물 도핑 영역(101) 사이의 기판 상부와 콘트롤 게이트(103) 사이에는 소정 형태의 플로팅 게이트가 이웃한 셀의 플로팅 게이트(102)와 격리되어 위치한다.
- <13> 여기서, 종래의 소자를 비롯한 모든 EEPROM 소자의 제조에 있어서 상기 플로팅 게이트(102) 및 콘트롤 게이트(103) 등을 형성시키기 전에 불순물 도핑 영역을 포함한 반도체 기판 전면에서 화학 기상 증착법 등으로 통해 게이트 절연막이 형성되는데, 상기 불순물이 도핑된 영역과 도핑되지 않은 영역에 있어서 게이트 절연막의 성장 속도가 차이가 난다. 이에 따라, 게

이트 절연막 상부에 형성되는 플로팅 게이트의 단차가 발생되고 결국 소자 특성을 불안정하게 되는 문제점이 있다.

<14> 종래 기술에 따른 이이피롬 소자의 게이트 절연막 형성 방법을 설명하면 다음과 같다.

먼저, 소자 분리막이 형성된 반도체 기판 상부에 저압 화학기상증착법(Low Temperature Chemical Vapor Deposition) 등을 통해 반도체 기판의 보호의 목적으로 스크린 산화막을 형성한다. 이 때, 상기 스크린 산화막은 700~900℃의 온도 조건에서 40~60Å 두께로 증착한다.

이어, 상기 스크린 산화막 상부에 게이트 절연막 형성 영역을 한정하는 감광막 패턴을 형성하고 상기 감광막 패턴을 포함한 기판 전면에 불순물 이온 주입을 실시한다. 이 때, 불순물 이온 주입은 제 1 이온 주입 및 제 2 이온 주입의 2단계로 이루어진다. 제 1 이온 주입은 31P 이온을 고전류 이온 주입기를 통하여 수행하며, 이 때의 이온 주입 에너지는 10~25KeV, 이온 주입량은 3~7E13 ion/cm³ 정도이다. 그런 다음, 75As 이온을 주입하는 제 2 이온 주입을 실시하는데, 이온 주입 에너지는 30~50KeV, 이온 주입량은 1~3E13 ion/cm³ 로 한다. 이와 같이 불순물 이온 주입을 실시한 결과, 감광막 패턴이 형성된 영역의 기판 내부에는 불순물 이온 주입되지 않게 된다.

<15> 불순물 이온 주입을 완료한 상태에서 기판을 열처리하여 이온의 확산을 유도함으로써 소스/드레인 영역에 상응하는 불순물 이온 영역을 형성한다. 그런 다음, 상기 감광막 패턴 및 스크린 산화물을 제거한다.

<16> 감광막 패턴 및 스크린 산화물이 제거된 상태에서 게이트 절연막을 형성하는데, 통상적으로 상기 게이트 절연막은 게이트 산화막과 터널 산화막의 이중층으로 구성된다. 상기 게이트 산화막과 터널 산화막을 순차적으로 형성하여 게이트 절연막을 형성하는 것이다.

<17> 여기서, 게이트 산화막은 형성은 일반적으로 약 800℃의 온도에서 약 200Å 정도의 두께로 형성시키는데, 이 때 불순물 이온이 주입된 영역과 불순물 이온이 주입되지 않는 영역에서의 게이트 산화막 성장 속도가 차이가 난다. 상기와 같은 공정 조건 하에서 진행된 실험의 일 예에서 표 1에 기술한 바와 같이, 32.5분의 공정 시간 동안 800℃의 온도에서 게이트 산화막을 형성할 경우, 불순물 이온이 주입된 영역에서는 1364.8Å의 게이트 산화막이 성장하고 불순물 이온이 주입되지 않은 영역에서는 197.4Å의 게이트 산화막이 성장했다. 이와 같이 불순물 이온이 주입된 영역과 주입되지 않은 영역에 있어서 게이트 산화막의 성장 속도 차이가 발생함에 따라 이후의 플로팅 게이트, 콘트롤 게이트 등의 소자 패턴의 형성시 단차의 불균형을 초래하여 소자의 신뢰성에 악영향을 미치게 된다.

<18> 【표 1】

	성장 두께(Å)	공정 시간(min)
불순물 이온 영역	1364.8	32.5
기타 영역	197.4	32.5

【발명이 이루고자 하는 기술적 과제】

<19> 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로서, 반도체 기판 상에 불순물이 도핑된 영역과 불순물이 도핑되지 않은 영역에 있어서 게이트 절연막의 성장 속도의 차이가 발생하지 않는 이이피롬 소자 제조방법을 제공하는 것을 목적으로 한다.

【발명의 구성 및 작용】

- <20> 상기와 같은 목적을 달성하기 위한 본 발명의 이이피롬 소자 제조방법은 반도체 기판 상에 스크린 산화막을 형성하는 단계;와, 상기 스크린 산화막 상에 제 1 이온 주입 마스크를 형성하는 단계;와, 상기 기판 전면에 제 1 이온 주입을 하는 단계;와, 상기 기판에 대해서 제 1 열처리 공정을 수행하는 단계;와, 상기 제 1 이온 주입 마스크 및 스크린 산화막을 제거하는 단계;와, 상기 기판 상에 게이트 산화막을 형성하는 단계;와, 상기 게이트 산화막 상에 제 2 이온 주입 마스크를 형성하는 단계;와, 상기 기판 전면에 제 2 이온 주입을 하는 단계;와, 상기 기판에 대해서 제 2 열처리 공정을 수행하는 단계;와, 상기 제 2 이온 주입 마스크를 제거하는 단계;와, 상기 게이트 산화막을 포함한 기판 전면 상에 터널 산화막을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 한다.
- <21> 바람직하게는, 상기 게이트 산화막은 50~300Å 정도의 두께로 형성하는 것을 특징으로 한다.
- <22> 바람직하게는, 상기 터널 산화막은 50~100Å 정도의 두께로 형성하는 것을 특징으로 한다.
- <23> 바람직하게는, 상기 제 1 열처리 공정은 1000~1050℃의 온도에서 10~20초 정도 진행하는 것을 특징으로 한다.
- <24> 바람직하게는, 상기 제 1 열처리 공정은 1050~1150℃의 온도에서 10~20초 정도 진행하는 것을 특징으로 한다.
- <25> 바람직하게는, 상기 제 1 이온 주입은 31P 이온을 50~70KeV의 이온 주입 에너지로 $2E13 \sim 2E14$ ion/cm² 만큼 주입하는 것을 특징으로 한다.

- <26> 바람직하게는, 상기 제 2 이온 주입은 75As 이온을 60~85KeV의 이온 주입 에너지로 $1E14 \sim 1E15$ ion/cm² 만큼 주입하는 것을 특징으로 한다.
- <27> 바람직하게는, 상기 스크린 산화막은 40~60Å 정도의 두께로 형성하는 것을 특징으로 한다.
- <28> 본 발명의 특징에 따르면, 접합 영역을 정의하는 이온 주입 즉, 31P 이온의 제 1 이온 주입과 75As 이온의 제 2 이온 주입이 독립적으로 수행한 다음, 게이트 산화막 및 터널 산화막을 각각의 이온 주입 공정 후 형성시킴으로써 게이트 산화막 및 터널 산화막의 성장에 있어서 기판 상의 불순물 이온의 주입 여부에 관계없이 동일한 속도의 산화막 성장을 담보할 수 있게 된다.
- <29> 이하, 본 발명의 이이피롬 소자 제조방법을 상세히 설명하기로 한다.
- <30> 먼저, 소자 분리막이 형성된 반도체 기판 상부에 저압 화학기상증착법 등을 통해 이후의 이온 주입 공정시의 반도체 기판의 손상을 방지하기 위한 목적으로 스크린 산화막을 형성한다. 이 때, 상기 스크린 산화막은 바람직하게 700~900℃의 범위에서 40~60Å 두께로 증착한다.
- <31> 이어, 상기 스크린 산화막 상부에 게이트 절연막 형성 영역을 한정하는 제 1 이온 주입 마스크 예를 들어, 감광막 패턴을 형성한다. 그런 다음, 상기 감광막 패턴을 이온 주입 마스크로 하여 고전류 이온 주입기를 통하여 부피가 상대적으로 작은 31P(Phosphorous) 이온을 상기 반도체 기판 내부에 주입하는 제 1 이온 주입 공정을 수행한다. 여기서, 상기 제 1 이온 주입 공정시의 이온 주입에너지는 50~70KeV, 이온 주입량은 $2E13 \sim 2E14$ ion/cm² 이다.
- <32> 상기과 같이 제 1 이온 주입 공정이 완료된 상태에서 기판에 대해 제 1 열처리 공정을 실시한다. 열처리 공정 조건은 1000~1050℃ 의 온도에서 10~20초 정도 진행한다.

<33> 기판에 대한 제 1 열처리를 완료한 상태에서 상기 기판 상에 형성되어 있는 스크린 산화막 및 제 1 이온 주입 마스크를 제거한다. 이어, 상기 반도체 기판 상에 게이트 산화막을 형성시킨다. 상기 게이트 산화막의 두께는 50~300Å 정도가 바람직하다.

<34> 이와 같은 방법을 통한 본 발명의 게이트 산화막 형성에 대한 실험 결과를 살펴보면 표 1에 나타낸 바와 같이, 불순물 이온이 주입된 영역과 주입되지 않은 영역에 있어서 게이트 산화막의 성장 두께의 차이가 거의 동일함을 알 수 있다.

<35> 【표 2】

	성장 두께(Å)	공정 시간(min)
불순물 이온 영역	197.1	32.5
기타 영역	197.4	32.5

<36> 한편, 상기와 같이 기판 상에 게이트 산화막을 형성시킨 다음, 상기 게이트 산화막 상에 제 2 이온 주입을 위한 제 2 이온 주입 마스크를 형성시킨다. 상기 제 2 이온 주입 마스크로는 제 1 이온 주입시와 마찬가지로 감광막 패턴을 이용할 수 있다.

<37> 게이트 산화막 상에 이온 주입 장벽을 형성한 다음, 상기 기판 전면 상에 제 2 이온 주입 공정을 수행한다. 이 때, 상기 제 2 이온 주입에 사용되는 이온은 75As 이온이며 이온 주입량은 $1E14 \sim 1E15$ ion/cm² 정도이며, 이온 주입시 에너지는 60~85KeV가 바람직하다. 이와 같이

제 2 이온 주입 공정이 완료된 상태에서 제 2 열처리 공정을 수행한다. 이 때의 열처리 조건은 1050~1150℃ 정도의 온도에서 10~20초 정도 진행한다.

- <38> 제 2 열처리 공정을 수행한 상태에서 상기 게이트 산화막 상에 터널 산화막을 형성시킴으로써 본 발명의 이이피롬 소자 제조 공정을 완료한다. 상기 터널 산화막의 두께는 50~100Å 정도가 바람직하다.
- <39> 한편, 상기와 같이 제 2 이온 주입 공정 후 열처리를 수행하고 터널 산화막을 성장시켰을 때와 열처리를 하지 않고 터널 산화막을 성장시켰을 때의 차이를 살펴보면 다음과 같다.
- <40> 표 3과 표 4 그리고 도 3과 도 4는 제 2 이온 주입 공정 후 열처리 수행 여부에 따른 터널 산화막 성장을 각각 나타낸 수치 및 그래프이다.
- <41> 참고로, 열처리 공정 수행 후 및 미수행 후 터널 산화막 형성에 대한 공정 조건은 동일하게 적용된다.
- <42> 먼저, 표 3 및 도 2에 나타난 바와 같이, 열처리를 하지 않고 터널 산화막을 형성시키는 경우, 불순물 이온이 주입된 영역과 주입되지 않은 영역에 있어서 터널 산화막의 성장 속도의 차이가 크게 나타남을 알 수 있다.
- <43> 반면, 표 4 및 도 3에 도시한 열처리 수행 후의 터널 산화막 형성은 불순물 이온이 주입된 영역과 주입되지 않은 영역에 있어서 터널 산화막의 성장 속도가 다소간 차이가 있기는 하나 열처리를 하지 않았을 때와 비교할 시에는 그 차이가 크게 줄어들음을 알 수 있다.

<44> 【표 3】

	성장 두께(A)	공정 시간(min)
불순물 이온 영역	455.9	12.5
기타 영역	50	12.5

<45> 【표 4】

	성장 두께(A)	공정 시간(min)
불순물 이온 영역	180.3	12.5
기타 영역	50	12.5

【발명의 효과】

<46> 상술한 바와 같은 본 발명의 이이피롬 소자 제조방법은 다음과 같은 효과가 있다.

<47> 접합 영역을 정의하는 이온 주입 즉, 31P 이온의 제 1 이온 주입과 75As 이온의 제 2 이온 주입이 독립적으로 수행한 다음, 게이트 산화막 및 터널 산화막을 각각의 이온 주입 공정 후 형성시킴으로써 게이트 산화막 및 터널 산화막의 성장에 있어서 기판 상의 불순물 이온의 주입 여부에 관계없이 동일한 속도의 산화막 성장을 담보할 수 있게 된다. 이에 따라, 이후 산화막 상에 형성되는 플로팅 게이트, 콘트롤 게이트 등의 패턴들이 자체의 단차 차이를 유발시키지 않게 되고 결국 소자의 신뢰성을 향상시킬 수 있게 된다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 스크린 산화막을 형성하는 단계;

상기 스크린 산화막 상에 제 1 이온 주입 마스크를 형성하는 단계;

상기 기판 전면에 제 1 이온 주입을 하는 단계;

상기 기판에 대해서 제 1 열처리 공정을 수행하는 단계;

상기 제 1 이온 주입 마스크 및 스크린 산화막을 제거하는 단계;

상기 기판 상에 게이트 산화막을 형성하는 단계;

상기 게이트 산화막 상에 제 2 이온 주입 마스크를 형성하는 단계;

상기 기판 전면에 제 2 이온 주입을 하는 단계;

상기 기판에 대해서 제 2 열처리 공정을 수행하는 단계;

상기 제 2 이온 주입 마스크를 제거하는 단계;

상기 게이트 산화막을 포함한 기판 전면 상에 터널 산화막을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 이이피롬 소자 제조방법.

【청구항 2】

제 1 항에 있어서, 상기 게이트 산화막은 50~300Å 정도의 두께로 형성하는 것을 특징으로 하는 이이피롬 소자 제조방법.

【청구항 3】

제 1 항에 있어서, 상기 터널 산화막은 50~100Å 정도의 두께로 형성하는 것을 특징으로 하는 이이피롬 소자 제조방법.

【청구항 4】

제 1 항에 있어서, 상기 제 1 열처리 공정은 1000~1050℃의 온도에서 10~20초 정도 진행하는 것을 특징으로 하는 이이피롬 소자 제조방법.

【청구항 5】

제 1 항에 있어서, 상기 제 1 열처리 공정은 1050~1150℃의 온도에서 10~20초 정도 진행하는 것을 특징으로 하는 이이피롬 소자 제조방법.

【청구항 6】

제 1 항에 있어서, 상기 제 1 이온 주입은 31P 이온을 50~70KeV의 이온 주입 에너지로 $2E13 \sim 2E14$ ion/cm² 만큼 주입하는 것을 특징으로 하는 이이피롬 소자 제조방법.

【청구항 7】

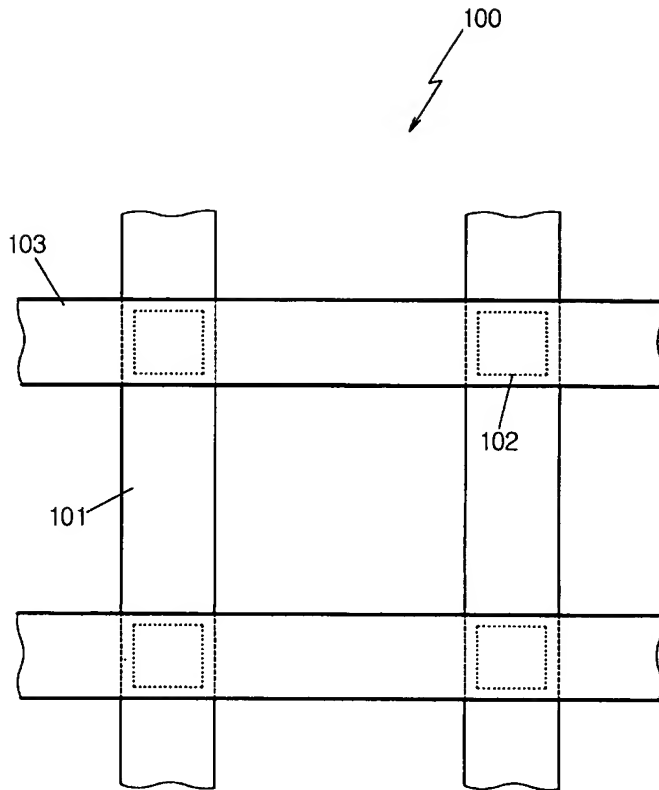
제 1 항에 있어서, 상기 제 2 이온 주입은 75As 이온을 60~85KeV의 이온 주입 에너지로 $1E14 \sim 1E15$ ion/cm² 만큼 주입하는 것을 특징으로 하는 이이피롬 소자 제조방법.

【청구항 8】

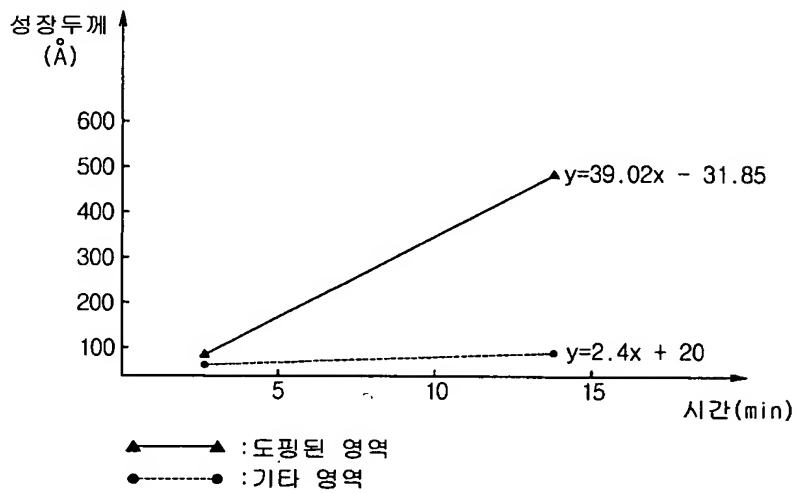
제 1 항에 있어서, 상기 스크린 산화막은 $40\sim60\text{\AA}$ 정도의 두께로 형성하는 것을 특징으로 하는 이이피롬 소자 제조방법.

【도면】

【도 1】



【도 2】



【도 3】

